

PAT-NO: JP02000165047A  
DOCUMENT-IDENTIFIER: JP 2000165047 A  
TITLE: MANUFACTURE OF PRINTED WIRING BOARD  
PUBN-DATE: June 16, 2000

INVENTOR-INFORMATION:

NAME	COUNTRY
MIURA, MICHIAKI	N/A
ARIGA, RIICHI	N/A
MUNAKATA, AKIRA	N/A
UEMAE, MASAKI	N/A
HABASAKI, YASU HARU	N/A
YAKITA, SHUNICHI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
NIPPON CARBIDE IND CO INC	N/A
NCI DENSHI KK	N/A

*translation  
attached*

APPL-NO: JP10335857  
APPL-DATE: November 26, 1998

INT-CL (IPC): H05K003/46, G01B011/00 , H05K001/02 , H05K003/00

ABSTRACT:

PROBLEM TO BE SOLVED: To reduce positional displacements of inner and outer layer patterns, by correcting the amount of positional displacement of a circuit pattern using recognition marks as a reference, and forming via holes or the circuit pattern in an outer conductive layer.

SOLUTION: A core substrate 5 is made of a circuit pattern and a plurality of recognition marks 4. The circuit pattern is formed by etching a metal foil of a metal-clad laminate prepared by laminating a plurality of inner insulating layers 11 and inner conductive layers 12. An outer insulating layer 13 and an outer conductive layer 14 are laminated on the substrate 5, and the layer 14 is thereafter evenly thinned. Then, the marks 4 are read by a recognition device

6.7

to thereby recognize the position of a pattern of the layer 11 and the amount of displacement of the laminated substrate from the positions of the marks 4 as reference positions for correction. The layers 14 and 13 are removed based on these reference positions for correction, and via holes are thereafter formed. The via holes are electrically connected, and the layer 14 is then etched by a subtractive method to thereby form the circuit pattern.

COPYRIGHT: (C)2000,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 許出願公開番号

特開2000-165047

(P2000-165047A)

(43) 公開日 平成12年6月16日 (2000. 6. 16)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード (参考)
H 0 5 K 3/46		H 0 5 K 3/46	N 2 F 0 6 5
			X 5 E 3 3 8
G 0 1 B 11/00		G 0 1 B 11/00	H 5 E 3 4 6
H 0 5 K 1/02		H 0 5 K 1/02	R
3/00		3/00	N
審査請求 未請求 請求項の数 2 O L (全 6 頁)			

(21) 出願番号 特願平10-335857

(22) 出願日 平成10年11月26日 (1998. 11. 26)

(71) 出願人 000004592

日本カーバイド工業株式会社  
東京都港区港南2丁目11番19号

(71) 出願人 596056276

エヌシーアイ電子株式会社  
東京都港区港南2丁目11番19号

(72) 発明者 三浦 道晃

福島県須賀川市西川字西田7-170

(72) 発明者 有我 利一

福島県須賀川市和田道90

(72) 発明者 宗像 明

福島県田村郡三春町大字柴原字滑津128

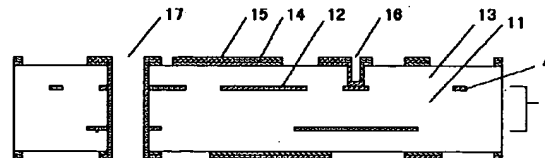
最終頁に続く

(54) 【発明の名称】 プリント配線板の製造方法

(57) 【要約】

【目的】多層基板において内層回路パターン並びに外層回路パターン及びビアホール、スルホールとの位置ズレのないプリント配線板の製造方法を提供することである。

【構成】コア基材に絶縁層及び導体層を積層し、該導体層を均一に薄層化し、認識装置により認識マークを読み取り、レーザでビア孔を開け、ビアホール、回路パターンを形成するプリント配線板の製造方法。



## 【特許請求の範囲】

【請求項1】回路パターン及び認識マークを形成したコア基材に外層絶縁層及び外層導体層を積層する工程、該外層導体層を均一に薄層化する工程、認識装置で該認識マークを読み取る工程、該外部導体層及び該外部絶縁層をレーザ光線により除去してビア孔を形成する工程、該ビア孔を介して内部導体層及び外部導体層を電気接続する工程並びにサブトラクティブ方法にて回路パターンを形成する工程よりなることを特徴とするプリント配線板の製造方法。

【請求項2】認識装置がCCDカメラまたはX線カメラであることを特徴とする請求項1に記載のプリント配線板の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、プリント配線板の製造方法に関する。

## 【0002】

【従来の技術】近年、電子機器の小型化に伴い、プリント配線板の小型化、薄層化、軽量化、高密度化などが求められている。これらの要求を満たすために層間の電気接続を設けながら積み上げ多層化するビルドアップ方法が採られるようになってきた。

【0003】ビルドアップ方法において導体層の形成方法としてアディティブ方法、セミアディティブ方法またはサブトラクティブ方法が多く用いられているが、前二方法は全面に無電解・電解のメッキ方法で導体層を形成するために前記導体層と絶縁層の密着力が低いために信頼性が劣っている。一方サブトラクティブ方法においては、密着力が高いものの内層回路と外層回路の位置合わせが困難であった。即ち、内層回路を形成したコアとなる基板に絶縁層及び導体層を積層するために表面から内層回路を見ることができない。従来方法においては、内層回路と同時に形成されたターゲットマークをエンドミルドリルにより表面から導体層・絶縁層をドリル加工して露出させていた。しかしこのドリルの方法で内層の導体層であるターゲットマークを残してミクロン単位の深さ制御をすることは非常に難しい技術であった。また、露出したターゲットマークを基準としてコアとなる基板に位置決め孔を設けてこの位置決め孔を基準として積層、ビアホール形成、回路パターンの形成が行われていた。

【0004】また、ビルドアップ方法でコアとなる基板に絶縁層の樹脂を積層し、該樹脂の一部を除去してターゲットマークを露出する方法も提案されている。この方法では、樹脂のみを除去する方法であるために安易な方法であるものの前述のようにアディティブ方法、セミアディティブ方法のために樹脂層と導体層の密着強度が弱いという問題点がある。

## 【0005】

【発明が解決しようとする課題】このような従来方法においては、アディティブ系の方法であるために絶縁層と導体層の密着強度が弱い。サブトラクティブ方法は絶縁層と導体層の密着強度が高いものの外層の導体層により内層のターゲットマークである認識マークが外部から読みとれないために位置決め孔を基準にして積層、ビアホール形成、回路パターンの形成を行う、またはドリル加工の非常に困難な方法などが採られていたために内層パターン及び外層パターンの位置ズレが起こる、形成したビアホールが内層導体層と一致しない等による位置ズレ、電氣的接続の不具合などが多い、品質・信頼性が悪い、歩留まりが低い等の問題が発生することがあった。特に、位置ズレに関して図4を用いて説明すれば、絶縁層30・内層の導体層であるビアランド31・導体層32である多層基板の導体層32に窓を形成してレーザ33で孔開けした場合にビアランド31と窓の位置がズレて更に下位の導体層まで孔34が形成されて電気接続工程で余分な電気接続が行われるトラブルが発生することがあった。

## 【0006】

【課題を解決するための手段】本発明は、回路パターン及び認識マークを形成したコア基材に外層絶縁層及び外層導体層を積層する工程、該外層導体層を均一に薄層化する工程、認識装置で該認識マークを読み取る工程、該外部導体層及び該外部絶縁層をレーザ光線により除去してビア孔を形成する工程、該ビア孔を介して内部導体層及び外部導体層を電気接続する工程並びにサブトラクティブ方法にて回路パターンを形成する工程よりなるプリント配線板の製造方法であり、サブトラクティブ方法であるために絶縁層と導体層の密着強度が高く、内層のコア基材に形成された認識マークを読み取り、読み取った該認識マークの位置データによりズレ、基板の伸縮の量を認識して補正基準位置とし使用してビアホール・外層回路パターンを形成するために内層パターン及び外層パターンの位置ズレが非常に少なく、ビアホールと内層導体層が一致して位置ズレ、電氣的接続の不具合などがなく、品質・信頼性が高く、歩留まりが高いなどより一層優れたプリント配線板の製造方法を提供するものである。

【0007】以下、本発明に係るプリント配線板の製造方法について詳述する。図1、図2、図3にて説明する。本発明に係るプリント配線板の製造方法は、内層絶縁層11及び内層導体層12を複数層積層した金属張基板の金属箔層をエッチングして回路パターンを設けると共に認識マーク4を複数個形成してコア基材5とし、(尚、必要に応じて該コア基材にスルホール、ビアホールなどが形成されていてもよい。)該コア基材に外層絶縁層13及び外層導体層14を積層し、該外部導体層を均一に薄層化し、該認識マーク4を認識装置20で読み取り、読み取った該認識マークの位置より内層導体層の

回路パターン位置、積層された基板の自己伸縮によるズレの量を認識し、後工程での補正基準位置とする。該補正基準位置により外部導体層14及び外部絶縁層13をレーザ光線23により除去してビア孔24を形成し、該ビア孔を介して内部導体層12と外部導体層14を電気接続し、サブトラクティブ方法にて外部導体層14をエッチングして回路パターンを形成することである。

【0008】更に詳述すると複数層積層した金属張基板は、内層絶縁層11がエポキシ、ポリイミド、フェノール、ビスマレイミド・トリアジン、ポリフェニレンエーテル等を主成分とした一般に使用されている樹脂でもよく、繊維織布、繊維不織布に前記樹脂類を含浸したもの、前記樹脂類に無機物の充填材を添加したものでもよく、内層導体層12が銅、アルミニウム、ステンレス、タングステン、等の一般に使用されている金属箔がよく、金属張基板への回路パターン、認識マーク4の形成方法が通常行われている方法で形成することができ、コア基材となる。該コア基材の表面導体層を通常の方法で黒化処理し、化学還元処理して積層するためのコア基材とする。(好ましくは、ビア孔が形成される底部位置となる該内層導体層の部分が黒化処理、化学還元処理がなされていないことである。処理しない導体層の表面はレーザ光線を反射してビア孔の形成がストップする。)

【0009】認識マーク4の形状を特に限定するものではなく、ドーナツ型、円形型、四角型、井型、等の中心部分または特定位置部分が確認できる形状がよい。好ましくは、ドーナツ型または円形型である。また、認識マークの数は、複数個であり金属張基板の片面のみでもよく、両面に形成してもよい。両面に形成する場合には、認識装置での認識度を向上するために両面での位置をずらすことが好ましい。好ましくは、4個以上であり、位置座標としてのズレのみでなく工程中での基板の伸縮も確認してズレの量を補正した外層導体層加工工程のフォトリソパターンフィルムを作成することもでき、レーザ装置の補正基準位置データとしても使用できる。好ましくは、長方形の位置に認識マークを配置することである。

【0010】外層絶縁層13は、内層絶縁層と同様な樹脂類でもよく、または繊維織布、繊維不織布に樹脂類を含浸したもの、樹脂類に無機物の充填材を添加したものでもよい。外層導体層14は、内層導体層と同様な金属箔類がよい。また、コア基材5への外層絶縁層及び外層導体層の積層方法を特に限定するものではない。前記の外層絶縁層材料よりなる樹脂層(アリアレグ)の一枚または複数枚及び前記の外層導体層材料よりなる金属箔を一般的に行われている方法でコア基材に積層することである。または、前記の外層導体層材料よりなる金属箔に前記の外層絶縁層材料を貼付した絶縁層付金属箔を絶縁層側をコア基材側に積層配置して一般的に行われている方法でコア基材に積層することである。

【0011】外層導体層の薄層化の方法、厚み、等を特に限定するものではない。一般的に行われている機械的研磨加工、エッチング、などである。好ましくは、プリント配線板をエッチング液に浸漬するエッチング方法である。エッチング液として好ましくは、アルカリ系、塩化第二銅系、塩化第二鉄系、硫酸/過酸化水素系、亜硫酸塩類系、などである。更に好ましくは、アルカリ系、硫酸/過酸化水素系、亜硫酸塩類系である。特に好ましくは、エッチングのコントロールが容易で、表面粗度が小さく、均一エッチング性の硫酸/過酸化水素系である。また、薄層化による外部導体層の厚みは、9~1 $\mu$ mであることが好ましい。更に好ましくは、7~1 $\mu$ mである。特に好ましくは、5~2 $\mu$ mである。

【0012】認識装置20は、光学系で認識マーク4の位置が読みとれる装置であればよく特に限定するものではない。例えば、CCDカメラ、X線カメラ、TV用カメラ、光学投影機、等である。好ましくは、自動計測をさせることができるCCDカメラ、X線カメラである。CCDカメラを使用する場合は、認識マークの位置に相当する外部導体層を除去し、内部に存在する該認識マークを確認する、または、外部絶縁層も除去して該認識マークを確認してもよい。X線カメラを使用する場合は、外部導体層を除去することなくX線の透過により内部の認識マークを確認する。このような認識装置は、露光ライメント装置、レーザ加工装置、等に装着して使用することが一般的に行われている。

【0013】ビア孔24は、薄層化した外部導体層及び外部絶縁層をレーザ光線により除去して形成するものであり形状を特に限定するものでない。レーザ光線の種類を特に限定するものでなく、導体層の金属類並びに絶縁層の樹脂類が除去される若しくは絶縁層の樹脂類及び繊維類若しくは無機物充填材が除去されるものであればよい。例えば、紫外線レーザ、炭酸ガスレーザ、Xeレーザ、エキシマレーザ、YAGレーザ、Arレーザ、等である。

【0014】薄層化した外部導体層及び外部絶縁層にレーザ光線を照射する前に外部導体層の表面に処理を施してレーザエネルギーを吸収容易にすることが好ましい。例えば、レーザ感度の高い材料層の形成、レーザをよく吸収する色に着色する、などがあげられる。好ましくは、表面に酸化銅層の形成、染料またはカーボンなどの顔料で被覆することである。特に好ましくは、導体層である銅の表面を酸化して酸化銅層を形成することである。

【0015】内層導体層は、積層する前に密着強度を増加するために黒化処理、化学還元処理が成されるのが一般的である。このように処理された導体層は、レーザエネルギーの吸収がよいために該導体層にまで孔が形成されることがある。これを防止するためにはビア孔が形成される底部位置の該内部導体層の部分がレーザエネルギー

一の吸収率がよくないことが好ましい。このために、内層導体層の処理に当たりビア孔を形成する予定位置に該ビア孔の径よりも大きい径の部分には黒化処理、化学還元処理を施さないようにする。これらの処理を施さなければ内層導体層の表面がレーザエネルギーの吸収率がよくないままである。

【0016】内部導体層及び外部導体層の電気接続は、ビア孔を介してメッキ方法、導電性材料の充填方法などで行うことができる。好ましくは、メッキ方法である。

【0017】これら詳述したようなプリント配線板の製造方法で製作されたプリント配線板は、内層及び外層の位置ズレがなく品質・信頼性が高く、高歩留まりに製造される。

【0018】

【実施例】以下、本発明に係るプリント配線板の製造方法の実施例を説明する。尚、本発明に係るプリント配線板の製造方法は以下の実施例に限られるものではない。

【0019】（実施例1）ガラス繊維織布にエポキシを主成分とする樹脂を含浸した厚さ約100 $\mu$ mの内層絶縁層11の両表面に厚さ約18 $\mu$ mの銅箔よりなる内層導体層12を積層した両面銅張基板の両面の銅箔をサブトラクティブ方法にてエッチングして（フィルムに形成した表裏用の回路パターンを位置合わせし、該フィルムの間にドライフィルムを貼り付けた両面銅張基板を挿入し、露光・現像し、銅箔をエッチングし、ドライフィルムを剥離する。）内層回路パターンと共に円形型の銅箔が残る認識マーク4（ $\phi$ 250 $\mu$ m）を両面銅張基板の四隅に形成し、ビアホール形成所望位置である場所にビア孔よりも100 $\mu$ m大きい径のマスクを形成して内層銅箔の露出部分に通常の方法で黒化処理、化学還元処理を施してマスクを除去してコア基材5を作成した。（ドリル、レーザなどによる孔開けを行い、メッキを施してスルホールを形成し、エッチングしてスルホールを有するコア基材5としてもよい。）

【0020】外層導体層14としての厚さ約12 $\mu$ mの銅箔及び該銅箔の片面に外層絶縁層13としての厚さ約60 $\mu$ mのエポキシ樹脂を主成分とする絶縁層を塗布した絶縁層付銅箔を用い、該絶縁層付銅箔の絶縁層側をコア基材5と接するように該コア基材の両面に該絶縁層付銅箔を配置し、真空チャンバーの中で真空、加熱、加圧（180℃、25Kg/ $\text{m}^2$ 、120分）して内層導体層に回路パターン及び認識マーク4を有する作業ボード1を作成した。

【0021】該作業ボード1を硫酸/過酸化水素系のエッチング液の浴に浸漬して外層導体層の銅箔を全面均一にエッチングして厚さが約3 $\mu$ mの薄層銅箔の作業ボード1とした。（図2（a））

【0022】認識装置20としてCCDカメラを装備した炭酸ガスレーザ加工装置に作業ボード1をセットし、認識マーク4の近傍の薄層化された銅箔に炭酸ガスレー

ザのレーザ（波長10.6 $\mu$ m、パルス幅56 $\mu$ S、周波数100Hz、20mJ）を照射して該銅箔を除去して（銅箔近傍の一部の外層絶縁層も除去された。）内装する認識マークの4個の位置に10mm角の形状で認識窓21を形成し（図2（b））、該認識窓より認識マーク4をCCDカメラで読み取り位置を補正確認し、補正確認したデータに基づいて炭酸ガスレーザのレーザ光線23（波長10.6 $\mu$ m、パルス幅56 $\mu$ S、周波数100Hz、20mJ）を照射して外部導体層を溶融、気化し、及びレーザ光線の出力を変更して（波長10.6 $\mu$ m、パルス幅36 $\mu$ S、周波数100Hz、2mJ）を照射して外部絶縁層を気化、分解して内層導体層に到達するビア孔24を形成した（図2（c））。該ビア孔の底部分にあたる内部導体層の銅箔がレーザ光線反射容易なためレーザを反射してほとんど溶融せず孔開けが成されていないかった。

【0023】ビア孔24を形成した作業ボード1のスルホール形成所望補正位置にドリルを用いて孔開けし、通常の過マンガン酸カリウム法でビア孔、ドリル孔の内部をスミア除去処理し、無電解銅メッキ、電解銅メッキを施してメッキ層15を形成して電気接続するスルホール17（ドリル孔位置）、ビアホール16（ビア孔位置）を形成した。

【0024】サブトラクティブ方法でのエッチングとしてスルホール、ビアホールを形成した作業ボードの両面にドライフィルムを密着貼り付けし、該作業ボードを露光アライメント装置式にセットし、CCDカメラにより認識マーク4を読み取り、回路パターン用のフォトマスクパターンフィルムの基準マーク及び認識マークを補正位置合わせし、作業ボード及びフォトマスクパターンフィルムを密着させて紫外線露光をして回路パターンを転写し、ドライフィルムを現像、銅箔をエッチング、ドライフィルムを剥離し、外部導体層に回路パターン及び第二の認識マークを形成したプリント配線板を製作した（図1）。この第二の認識マークは、更に積層する場合の位置合わせ認識マークとして有用である。第二の認識マークは、認識マーク4と一致しない場所に形成したために図1には示されていない。実際の製品では、更にソルダーレジスト、シンボルマーク・文字などの形成、半田塗布、金メッキなどの処理、図3に示された分割溝3、外形、部分打ち抜きなどの加工をおこなう。

【0025】このように製作されたプリント配線板は、認識マークにより補正して位置合わせを行っているために内層導体層の回路パターン、ビアホール形成位置及び外層導体層の回路パターンの位置ズレがなく品質・信頼性が高く、歩留まりが高い。実施例においては、ビアホールの外層・内層間での位置ズレが10 $\mu$ m以内であり、ビア孔が内層導体層と位置ズレしている箇所がなかった。

【0026】（実施例2）実施例1と略同様に外部導体

層である銅箔を均一に薄層化した作業ボード1を作成し、認識装置20としてCCDカメラを装備した炭酸ガスレーザ装置に該作業ボードをセットし、実施例1と略同様にレーザで認識窓を形成し、認識マーク4を認識装置20で読み取りし、読み取りしたデーターを補正基準として外層導体層14である銅箔にレーザにより補正認識マーク②を刻印した。CCDカメラで読み取ったデーターにより伸縮状態を補正值として採用した後工程用の回路パターン用のフォトマスクパターンフィルムを作画した。また、データーは装置の補正データとしても使用する。該補正認識マーク②を基準とし補正データを使用して実施例1と略同様にレーザ光線23でビア孔24を形成し、実施例1と略同様にスルホール17、ビアホール16を形成し、該補正認識マーク②を基準として実施例1と略同様に外層導体層である銅箔に回路パターン及び第二の認識マークを形成したプリント配線板を製作した。

【0027】このように製作されたプリント配線板は、認識マークにより回路パターンの位置、基板の伸縮によるズレなどの量を認識し補正位置合わせを行っているために内層導体層の回路パターン、ビアホール形成位置及び外層導体層の回路パターンの位置ズレがなく品質・信頼性が高く、歩留まりが高い。実施例においては、ビアホールの外層、内層間での位置ズレが $12\mu\text{m}$ 以内であり、ビア孔が内層導体層と位置ズレしている箇所がなかった。

【0028】(実施例3) 実施例1と略同様に認識マーク4有するコア基板1を作成し、エポキシを主成分とする樹脂をガラス繊維織布に含浸させた厚さ約 $60\mu\text{m}$ の外層絶縁層13(アブリゲトと言う)及び外層導体層14としての厚さ約 $12\mu\text{m}$ の銅箔をコア基材1の両面に(銅箔及びコア基材の間にアブリゲトが配置される)配置し、真空チャンパーの中で真空、加熱、加圧( $180^\circ\text{C}$ 、 $25\text{Kg}/\text{m}^2$ 、 $120\text{分}$ )し、内層に回路パターン及び認識マークを有する作業ボード1を作成し、更に該作業ボードを硫酸/過酸化水素系のエッチング浴に浸漬して外層導体層である銅箔を均一に薄層化して約 $4\mu\text{m}$ の銅箔である作業ボードとした。

【0029】認識装置20としてのX線カメラを装備した炭酸ガスレーザ装置に作業ボード1をセットし、X線透過により認識マーク4の位置を読み取りし、該認識マークに対応する位置の外層導体層である銅箔にレーザで穴開けした。(該穴が以後の工程での基準となる。)また読み取りしたデーターに基づいて実施例1と略同様にビア孔24を形成した。

【0030】認識マーク4の位置を読み取ったデーターを基にして作業ボードの伸縮値を考慮して作成されたフォトマスクパターンフィルムを作成した。また、読み取ったデーターは、後の工程での補正值として反映される。実施例1と略同様にスルホール形成所望補正位置に

ドリルを用いてドリル孔を形成し、実施例1と略同様に銅メッキを施してビアホール17、スルホール16を形成し、実施例1と略同様に該穴を基準にサブトラクティブ方法でエッチングして回路パターンを形成してプリント配線板を製作した。量産においては、多くの作業ボードにおいてX線カメラで認識マークを読み取りし位置ズレ、伸縮値などの補正值の分布傾向を記憶、判断して作業ボードのランク分類を行い対応した補正值、フォトマスクパターンフィルムなどを用いて回路パターンなどの形成を行った。

【0031】このように製作されたプリント配線板は、内層導体層の認識マークにより回路パターンの位置、基板の伸縮などによるズレの量が認識され位置補正されて各層の位置決めがされているため位置ズレがなく品質・信頼性が高く、歩留まりが高い。実施例においては、ビアホールの外層、内層間での位置ズレが $15\mu\text{m}$ 以内であり、ビア孔が内層導体層と位置ズレしている箇所がなかった。

【0032】

20 【発明の効果】本発明に係るプリント配線板の製造方法によるプリント配線板は、内層導体層に形成された認識マークを基準にして回路パターンの位置、基板の伸縮などによるズレの量が認識され位置補正されて外層導体層にビア孔が形成され又回路パターンが形成されるため内層パターン及び外層パターンに生ずる工程上での位置ズレが非常に少なく精度が高く、品質・信頼性が高く、歩留まりが高い。

【0033】

【図面の簡単な説明】

30 【図1】本発明に係るプリント配線板の製造方法の一実施態様によるプリント配線板の断面図である。図3の作業ボードのK-KKにおける切断面の断面図である。

【図2】本発明に係るプリント配線板の製造方法の一実施態様によるプリント配線板の工程を示す断面図である。

【図3】本発明に係るプリント配線板の製造方法の一実施態様によるプリント配線板の作業ボードに分割溝を形成した図である。

【図4】従来方法による一工程を示す断面図である。

40 【0034】

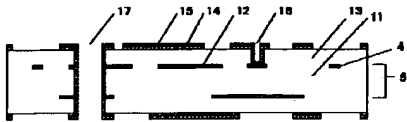
【符号の説明】

- 1 作業ボード
- 2 ユニットボード
- 3 分割溝
- 4 認識マーク
- 5 コア基材
- 11 内層絶縁層
- 12 内層導体層
- 13 外層絶縁層
- 14 外層導体層

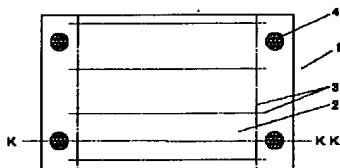
- 15 メッキ層  
16 ビアホール  
17 スルホール  
20 認識装置

- 21 認識窓  
22 マスク窓  
23 レーザ光線  
24 ビア孔

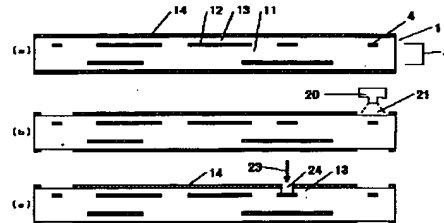
【図1】



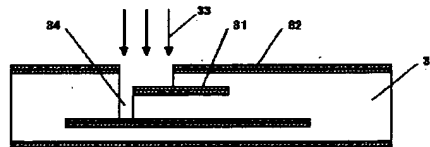
【図3】



【図2】



【図4】



フロントページの続き

- (72)発明者 上前 昌己  
福島県須賀川市岩淵字笠木176-120  
(72)発明者 幅崎 康晴  
福島県須賀川市芹沢町66-26  
(72)発明者 焼田 俊一  
福島県須賀川市大字西川字坂の上15

Fターム(参考) 2F065 AA03 AA20 AA65 BB02 BB27  
CC01 CC17 EE00 FF04 GG21  
HH15 JJ03 JJ26 NN20 TT02  
5E338 BB13 CC10 DD11 EE32 EE42  
5E346 AA43 DD22 DD32 DD44 FF04  
GG15 GG34 HH33



**WEST****End of Result Set**☐ **Generate Collection** **Print**

L1: Entry 2 of 2

File: DWPI

Aug 11, 1995

DERWENT-ACC-NO: 1995-314902  
DERWENT-WEEK: 199541  
COPYRIGHT 2003 DERWENT INFORMATION LTD

TITLE: Lead frame mfg. method - by recognition of mark metal layer which adheres to surface of reinforcing tape of same quality of material as inner lead, and recognises mark by through hole NoAbstract

## PATENT-ASSIGNEE:

ASSIGNEE	CODE
SONY CORP	SONY

PRIORITY-DATA: 1994JP-0023344 (January 24, 1994)

## PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 07211750 A	August 11, 1995		006	H01L021/60

## APPLICATION-DATA:

PUB-NO	APPL-DATE	APPL-NO	DESCRIPTOR
JP 07211750A	January 24, 1994	1994JP-0023344	

INT-CL (IPC): H01 L 21/60; H01 L 23/50

ABSTRACTED-PUB-NO:

EQUIVALENT-ABSTRACTS:

TITLE-TERMS: LEAD FRAME MANUFACTURE METHOD RECOGNISE MARK METAL LAYER ADHERE SURFACE REINFORCED TAPE QUALITY MATERIAL INNER LEAD RECOGNISE MARK THROUGH HOLE NOABSTRACT

DERWENT-CLASS: U11

EPI-CODES: U11-D03A1A;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1995-237847

PTO 03-5791 HAMT

Japanese Patent  
Document No. 07-165047

2000-165,047

**MANUFACTURING METHOD OF PRINTED CIRCUIT BOARD**

[プリント配線板の製造方法]

Miura Michiaki & Yaketa Shun-ichi

UNITED STATES PATENT AND TRADEMARK OFFICE  
Washington, D.C. 10/2003

Translated by: Schreiber Translations, Inc.

**Bibliographic Fields****Document Identity**

(19) [Publication Office]

Japan Patent Office (JP)

(12) [Kind of Document]

Unexamined Patent Publication (A)

(11) [Publication Number of Unexamined Application]

Japan Unexamined Patent Publication 2000 - 165047 (P2000 - 165047A)

(43) [Date of Publication of Unexamined Application]

June 16<sup>th</sup> 2000

(43) [Date of Publication of Unexamined Application]

June 16<sup>th</sup> 2000

(54) [Title of Invention]

**MANUFACTURING METHOD OF PRINTED CIRCUIT BOARD**

(51) [International Patent Classification, 7th Edition]

H05K 3/46

G01B 11/00

H05K 1/02

Mar-00

[FI]

H05K 3/46 N

X

G01B 11/00 H

H05K 1/02 R

3/00 N

[Number of Claims]

2

[Form of Application]

OL

[Number of Pages in Document]

6

[Theme Code (For Reference)]

2 F0655E3385E346

[F Term (For Reference)]

2 F065 AA03 AA20 AA65 BB02 BB27 CC01 CC17 EE00 FF04 GG21 HH15 JJ03 JJ26  
NN20 TT02 5E338 BB<SP>13</SP>C C10 DD11 EE32 EE42 5E346 AA43 DD22 DD32  
DD44 FF04 GG15 GG34 HH33

[Request for Examination]

Not yet requested

(21) [Application Number]

Japan Patent Application Hei 10 - 335857

(22) [Application Date]

November 26<sup>th</sup> 1998

(71) [Applicant]

[Identification Number]

4592

[Name]

**NIPPON CARBIDE INDUSTRIES CO., LTD.**

[Address]

Tokyo Prefecture Minato-ku Minato minami 2-Chome No.11 19 number

(71) [Applicant]

[Identification Number]

596056276

[Name]

**N. CI ELECTRON KK**

[Address]

Tokyo Prefecture Minato-ku Minato minami 2-Chome No.11 19 number

(72) [Inventor]

[Name]

Miura Michiaki

[Address]

Fukushima Prefecture Suga river city Nishikawa letter Nishida 7 - 170

(72) [Inventor]

[Name]

Ariga Toshikazu

[Address]

Fukushima Prefecture Suga river city Wada road 90

(72) [Inventor]

[Name]

Munakata discernment

[Address]

Fukushima Prefecture Tamura Gun Miharu Cho Oaza Shiba field letter sliding Tsu 128

(72) [Inventor]

[Name]

Outer skirt Shoko

[Address]

Fukushima Prefecture Suga river city Iwabushi letter Kasaki 176 - 120

(72) [Inventor]

[Name]

width Saki Yasuharu

[Address]

Fukushima Prefecture Suga river city Serizawa town 66 - 26

(72) [Inventor]  
[Name]  
Yaketa Shun-ichi

[Address]  
Upper 15 Fukushima Prefecture Suga river city Oaza Nishikawa

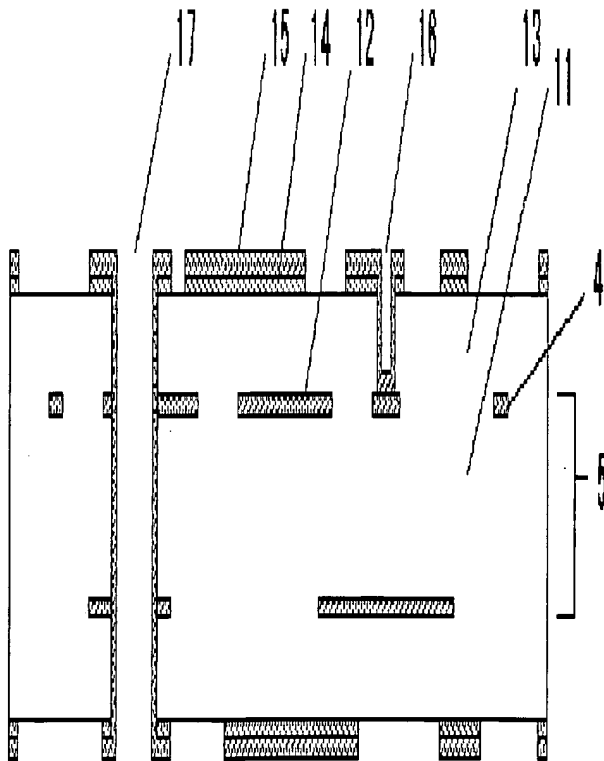
(57) [Abstract]

[Objective]

To provide a manufacturing method of a printed circuit board that has a multilayered circuit and internal circuit pattern together with external circuit pattern and via hole and through hole are not misaligned on it.

[Configuration]

A method of manufacturing a printed circuit board that laminates an insulation layer and a conductor layer on the core substrate, implements the thinning of the conductor layer uniformly, reads the recognition mark from the recognition device, creates a hole with a laser, and forms a via hole, circuit pattern.



[Claim(s)]

[Claim 1]

A method of manufacturing printed circuit board characterized by the fact that it comprises a process of laminating external insulation and conductor layer on the core substrate that has circuit pattern and recognition mark formed, a process of thinning the external conductor layer uniformly, a process of reading a recognition mark with the recognition device, a process of forming via hole by eliminating the external insulation layer with laser radiation and a process of connecting internal insulating layer and external insulating layer electrically through the via hole together with a process of forming a circuit pattern with the subtractive method.

[Claim 2]

A method of manufacturing printed circuit board as has been stated in claim 1 characterized by the fact that the recognition device is a CCD camera or X-ray camera.

[Detail Description of the Invention]

[0001]

[Field of Industrial Application]

This invention pertains to the method of manufacturing printed circuit board.

[0002]

[Prior Art]

Recently, along with the miniaturization of electronics devices, miniaturization, thinning, lightweight, and high density have been sought.

In order to meet these requirements while providing electric connection between the layers, a build up method that will stack multilayers was getting explored.

[0003]

Pertaining to the build up method, as a method of forming conductor layer, additive method, semi-additive method or subtractive method are being used more, former two methods fail the reliability due to the less adhesiveness between the conductor layer and the insulating layer in order to form a conductor layer with electroless, electrolysis plating on the entire surface.

On one hand in the subtractive method, alignment of the internal layer circuit and external

layer circuit is troublesome although it has high adhesiveness.

Namely, from the front surface internal layer can not be seen in order to laminate an insulating layer and a conductor layer on the core plate that has internal layer circuit formed,

In the conventional method, the target mark that was formed at the same time with internal layer circuit used to be cropped up by drilling conductor-insulator layer from the surface with the end mill drilling.

However, with this drilling method, it used to be extremely difficult technique to regulate the depth of micron unit leaving the target mark, which is an internal conductor layer.

And position determining holes were provided on the core plate with the cropped up target marks as a standard and lamination, via hole and circuit pattern used to be formed with these position-determining holes as standard.

[0004]

In addition, the method has been proposed wherein resin as an insulator layer is laminated on the core plate with the build up method, and a target mark is cropped up by eliminating one part of the resin.

In this method, in spite of being a simple method, since it is a method that only eliminates resin, as has been mentioned before like additive and semi-additive methods the problem of less adhesiveness between the resin layer and the conductor layer is there.

[0005]

[Problems to be Solved by the Invention]

In this kind of conventional methods, adhesiveness between insulating and conductor layer is low because it is an additive type method.

In spite of high adhesiveness between the insulating and conductor layer, since the recognition mark, which is a tag mark of the internal layer cannot be read from the external part, subtractive method carries out the forming of lamination, via hole and circuit pattern from the outer conductor layer with position determining holes as a standard or misalignment of internal and external pattern could take place as the extremely troublesome method of drilling process has been explored and the position misalignment due to mismatching of the formed via hole with the internal conductor layer, and failure of electrical connection etc are more often and the problems such as bad quality and reliability and low yield used to occur.

If to explain about position misalignment in particular, using drawing 4, if a window was formed and a hole was opened with a laser on the conductor layer 32 of the multilayered board where insulating layer 30, via land 31 which is the internal conductor layer,



conductor layer 32, positions of via land 31 and the window was misaligned and further, hole 34 was formed to the last conductor layer and thus the trouble of having excess electric connection in the process of electric connection used to occur.

[0006]

[Means to Solve the Problems]

This invention is a method of manufacturing printed circuit board that comprises a process of laminating external insulation and conductor layer on the core substrate that has circuit pattern and recognition mark formed, a process of thinning the external conductor layer uniformly, a process of reading a recognition mark with the recognition device, a process of forming via hole by eliminating the external insulation layer with laser radiation and a process of connecting internal insulating layer and external insulating layer electrically through the via hole together with a process of forming a circuit pattern with the subtractive method. Due to the subtractive method the adhesiveness between the insulating layer and the conductor layer is high, reads the recognition mark that has been formed on the core substrate of the internal layer, recognizes the misalignment, and the amount of expansion of the board from the position data of the recognition mark that was read and since the via hole and external circuit pattern are formed by using compensating position standard, misalignment of internal and external pattern is extremely less, quality and reliability are high without position misalignment and electric connection flaw with via hole and internal conductor layer matching and with the high yield, provides a method of manufacturing even superior printed circuit board

[0007]

Regarding the detail of the method of manufacturing printed circuit boards pertaining to this invention is explained below.

Explanation is given with figure 1,2 and 3

Besides providing a circuit pattern by etching metallic foil layer of expanded metallic plate that has plurality of layers laminated such as internal insulating layer 11 and internal conductor layer 12, the method of manufacturing printed circuit board pertaining to this invention, makes core substrate 5 by forming plurality of recognition mark 4 (Furthermore, depending on the need, through holes and via holes might also be formed.) laminates external insulating layer 13 and external conductor layer 14 on the core substrate, thins the external conductor layer uniformly, reads the recognition mark 4 with the recognition device, recognizes a circuit pattern position of an internal conductor layer and degree of misalignment due to self-expansion of the laminated board from the position of the recognition mark that has been read from the recognition device and allows the compensating standard position in the later process,

forms a via hole 24 by eliminating external conductor layer 14 and external insulating layer 13 with laser radiation 23 based on the supplementary standard position, electrically

connects internal conductor layer 12 and external conductor layer 14 via the via hole, and forms the circuit pattern by etching external conductor layer 14 with subtractive method.

[0008]

If to explain in further detail, as for multilayered laminated metallic expanded plate, internal insulating layer 11 might also be resin that is being used commonly that comprises epoxy, polyimide, phenol, bismaleimide, triazine, poly phenylene ether, as main components, it could also be fabric finely woven, a fabric not finely woven saturated with aforementioned type of resin, inorganic filling material could be added to aforementioned resin type, internal conductor layer 12 might be a metallic foil that is being used commonly such as copper, aluminum, stainless, tungsten, and the circuit pattern and recognition mark 4 on the metallic expanded plate could be formed with the method implemented normally and makes the core substrate

Treats the surface conductor layer of the core substrate with black color with the normal method and makes core substrate 5 for lamination by chemical oxidation

(Optimal would be not to treat the part of the internal conductor layer that becomes lower position forming via hole with black color and not to do chemical oxidation. The surface of the conductor layer that has not been treated will reflect the laser radiation and stop the formation of via hole. )

[0009]

There is no specific restriction on the shape of recognition mark 4, central part of donut shape, circular shape, square shape, well shape etc or a shape that can be confirmed specific position parts

Optimal would be donut shape or circular shape.

Also, number of recognition marks could be multiple and might be formed only on one or both the surfaces of the metallic expanded plate.

To form on both the surfaces, it is desirable if the position on both the surfaces is displaced in order to improve the degree of recognition from the recognition device.

Optimum would be if there are more than 4 and can create photo mask pattern film from the external conductor layer finishing process that supplemented the amount of misalignment by verifying not only the misalignment as a position coordinate but also the expansion of the board during the process.

It is desirable if the recognition mark is placed in oblong position.

[0010]

External insulating layer could be of the similar resin type as in internal insulating layer or a type that has resin type saturated in fine or nonwoven fabric or a type of resin wherein nonorganic filling material is added.

External conductor layer 14 could be of the similar metallic foil as in the internal conductor layer.

Also, there are no specific restrictions on the method of laminating the external insulating and external conductor layers onto core substrate 5.

One or plurality of resin layers (preg) comprised of aforementioned external insulating layer material and the metallic foil comprised of aforementioned external conductor layer material can be laminated on the core substrate with the commonly implemented method.

Or the metallic foil with insulating layer that has external insulating layer adhered on the metallic foil comprised of aforementioned external conductor layer material can be placed for laminating with the insulating side towards the core substrate side and can be laminated with the commonly implemented method.

[0011]

There are no particular restrictions regarding the method, thickness etc. of thinning of the external conductor layer.

Generally implemented process are mechanical polishing, etching etc.

Optimal method is to dip coat the printed circuit board into the etching solution.

As an etching solution, alkali type, cupric chloride, ferric salt type, sulfuric acid/hyper oxidation type hydrogen type, sulfite salt type etc. are desirable.

Furthermore, it is desirable to be alkali type, sulfuric acid/hyper oxidation type hydrogen type, sulfite salt type

It is desirable that etching control in particular should be easy with less surface roughness and uniform etching of sulfuric acid/hyper oxidation type hydrogen type.

In addition, it is desirable that the thickness of external conductor layer from thinning is 9-1  $\mu\text{m}$ .

Furthermore it would be optimum if it is 7~1  $\mu\text{m}$ .

5~2  $\mu\text{m}$  would be preferred in particular.

[0012]

As for recognition device 20, it would be better if it were a device that can read the position of recognition mark 4 with optical system. But there are no restrictions in particular.

For example, CCD camera, X-ray camera, TV Camera, optical projector.

CCD camera that can perform automatic reading, X-ray camera.

In case of using CCD camera, it is better to remove external conductor layer that corresponds to the position of the recognition mark, and to verify the recognition mark that exists internally or to verify the recognition mark by also removing the external insulating layer.

In case of using X-ray camera, with the permeating X-rays recognition mark could be verified without removing external conductor layer.

It is a common practice to attach this kind of recognition device to the exposure alignment device, laser processing equipment etc.

[0013]

Via hole 24 is formed by removing the external conductor layer and external insulating layer that have made thin with laser radiation and there are no particular restrictions on the shape.

There are no particular restrictions on the type of laser radiation and it would be better if the metal type of the conductor layer along with the resin type of the insulator layer are removed or either resin type or fine fabric type or organic filler material of the insulating layer has been removed.

For example, ultraviolet laser, carbon dioxide laser, Xe laser, excimer laser, Ar laser, etc.

[0014]

To simplify the absorption of laser energy by executing treatment on the surface of the external conductor layer before radiating with laser radiation on the external conductor layer and external insulating layer that has made thin, is desirable.

Formation of the layer of the material having high laser sensitivity and coloring with the color that absorbs the laser better can be given as example.

It is preferred if copper oxide layer is formed on the surface and if coated with dye or color pigment such as carbon.

To form copper oxide layer by oxidizing the surface of copper, which is a conductor layer, is preferred in particular.

[0015]

As for the internal conductor layer, it is a common practice to give blackening treatment and chemical oxidation in order to increase cohesiveness strength before lamination.

Since the conductor layer that has been treated this way has good absorbing ability of laser energy, hole can be formed to the conductor layer.

In order to prevent that, it is preferred if the part of the internal conductor layer of the lower position where via hole will be formed has poor ability to absorb laser energy.

For this, do not conduct blackening treatment and chemical oxidation on the portion that has bigger diameter than the diameter of the via hole on the position determined to form the via hole in connection with the treatment of the internal conductor layer.

If these processes are not implemented the surface of the internal conductor layer remains as it is with the poor ability to absorb laser energy.

[0016]

Electric connection of the internal conductor layer and the external conductor layer can be performed with methods such as plating method through via hole or the method of filling conductive material.

Plating method is desirable.

[0017]

The printed circuit board that has been manufactured with the method of manufacturing printed circuit board that has been described in this way has no misalignments and has high quality and reliability and is manufactured with high yield.

[0018]

[Embodiment]

Below, an embodiment of the method of manufacturing printed circuit board pertaining to this invention is explained.

Furthermore, the method the method of manufacturing printed circuit board pertaining to this invention is not limited to the embodiment below.

[0019]

(Embodiment 1)

Internal circuit pattern together with recognition mark 4 that will leave circular shaped copper foil was formed in the four corners on both surfaces of copper expanded plate by etching (match the position of the circuit pattern formed on both sides of the film, insert the both sides copper expanded plate with dry film attached on it in between the films, expose and develop and tear off the dry film by etching the copper foil.) both surfaces of the copper foil of both copper surfaced expanded plate with the subtractive method that has internal insulating layer 11 that has resin saturated with epoxy as a main component in glass fine fabric, having thickness of  $100\mu\text{m}$ , on both sides of which internal conductor layer 12 comprised of copper plate having thickness of  $18\mu\text{m}$  has been laminated. Core substrate 5 was created by forming a mask that has diameter bigger by  $100\mu\text{m}$  than via hole on the location that has been designated to form a via hole and by removing the mask through implementing blackening treatment and chemical oxidation with regular methods on the exposure part of the internal copper foil.

(Open a hole with drill, laser etc and forma through hole by implementing plating; core substrate 5 having through hole by etching might also be good.)

[0020]

An operation board 1 possessing the circuit pattern and recognition mark 4 on the internal conductor layer was created using a copper foil of thickness  $12\mu\text{m}$  as external conductor layer 14 and a insulation layer attached copper foil that has a coat of insulating layer comprised of epoxy resin of thickness of about  $60\mu\text{m}$  as main component as external insulating layer 13 on one side of the copper foil and by placing the insulation layer attached copper foil on both the surfaces of the core substrate such that the insulating layer side of the insulation layer attached copper foil will adhere to core substrate 5 and by applying heat, pressure and vacuum inside a vacuum chamber.

[0021]

Operation board 1 was soaked in etching solution bath of sulfuric acid/hyper oxidation type hydrogen type and the entire surface of the copper foil of the external conductor layer was etched uniformly and operation board 1 having thin layer of copper foil with the thickness of about  $3\mu\text{m}$

(Figure 2 (a))

[0022]

Operation board 1 was set on the carbon dioxide laser processing device equipped with CCD camera as recognition device 20, recognition window 21 was formed (figure 2 (b)) in square shape of  $10\text{mm}$  on the position of 4 interior recognition marks by removing (part of external insulating layer in the proximity of the copper foil has also been removed) the copper foil with laser radiation (Wave length  $10.6\mu\text{m}$  pulse width  $56\mu\text{s}$ , number of frequency waves  $100\text{Hz}$ ,  $20\text{ml}$ ) of carbon dioxide laser on the copper foil that has made thin in the proximity of 4 recognition marks, recognition mark 4 from the recognition window is read from the

CCD camera and correctness of the position is verified, based on the corrected verified data laser radiation 23 (Wave length 10.6 $\mu$ m pulse width 56 $\mu$ s, number of frequency waves 100Hz, 20ml) of the carbon dioxide laser is radiated and the external conductor layer is melted, vaporized and by modifying the out put of laser radiation (Wave length 10.6 $\mu$ m pulse width 36 $\mu$ s, number of frequency waves 100Hz, 2ml) and via hole 24 getting through to the internal conductor layer by vaporizing and disintegrating the external insulating layer was formed. (figure 2 (c) since the copper foil of the internal conductor layer on the lower part of via hole easily reflects the laser radiation, hole was not opened by reflecting the laser and almost without melting).

[0023]

A hole was opened using drill on the desired corrected position that was formed by the through hole of operation board 1 that had via hole 24 formed on it interior of via hole and drill hole is treated for smear removal with potassium permanganate method, through hole 17 (drill hole position) and via hole 16 that are connected electrically were formed by forming plating layer 15 by implementing no electrolysis copper plating and electrolysis copper plating.

[0024]

As etching of the subtractive method, on both the surfaces of the operation board that has through hole and via hole formed dry film was adhered, this operation board was set on the exposure alignment device, recognition mark 4 was read from the CCD camera, the correct position of standard mark of the photo mask pattern film for circuit pattern and recognition mark was matched, circuit pattern was transferred by exposing ultraviolet rays and by adhering the operation board and photo mask pattern film, and printed circuit board was created with circuit pattern and second recognition mark on the external conductor layer by developing dry film, etching copper foil and by tearing off the dry film. (Figure 1)

This second recognition mark is useful furthermore as positioning recognition mark when it laminates.

Since the second recognition mark is not formed on the location matching with recognition mark 4 it has not been shown in figure 1.

In actual product, further formation of solder resist, symbol mark, letter etc, solder embrocation, metal plating treatment etc, dividing groove 3 shown in figure 3, outer shape, partial punching etc processes will be performed.

[0025]

Since the printed circuit board that has been manufactured this way, corrects the position and matches the recognition mark, the circuit pattern of the internal conductor layer, via hole forming position, and circuit pattern position of the external conductor layer do not have misalignment and has high quality and reliability and high yield.

Pertaining to the embodiment, position misalignment between the external and internal layer of via hole is under 10 $\mu$ m and there was no point where via hole and internal conductor layer has misaligned positions.

[0026]

(Embodiment 2)

Same as in the first embodiment, operation board 1 was prepared wherein copper foil, which is the external conductor layer was made uniformly thin, the operation board was set on the carbon dioxide laser device that was equipped with CCD camera as recognition device 20, by almost doing same as in the first embodiment, recognition window was formed with laser, recognition mark 4 was read from the recognition device 20 and then corrected recognition mark 2 was engraved with laser on the copper foil which is external conductor layer 14 with the read data as a correction standard.

Photo mask pattern film of the circuit pattern was drawn for the process after the expansion was applied as correction value based on the data read from the CCD camera.

In addition, the data could also be used as correction data of the device.

Via hole 24 was formed same as in the first embodiment using correction data with the correction recognition mark 2 as a standard with laser radiation 23, same as in the first embodiment via hole 16 and through hole 17 were formed, and the printed circuit board was manufactured with circuit pattern and the second recognition mark on the copper foil which is the external conductor layer same as in the first embodiment with the correction mark 2 as a standard.

[0027]

Since the printed circuit board that has been manufactured this way, corrects the position and matches the recognition mark, the circuit pattern of the internal conductor layer, via hole forming position, and circuit pattern position of the external conductor layer do not have misalignment and has high quality and reliability and high yield.

Pertaining to the embodiment, position misalignment between the external and internal layer of via hole is under 10 $\mu$ m and there was no point where via hole and internal conductor layer has misaligned positions.

[0028]

(Embodiment 3)

Core substrate 1 that bears recognition mark 4 same as in the first embodiment was created, external insulating layer 13 (also called prepreg) having thickness of about 60 $\mu$ m that has



resin soaked in glass fine fabric comprised of epoxy as a main component and a copper foil having thickness of about  $12\mu\text{m}$  as external conductor layer 14 are placed on both surfaces (place the prepreg in between the copper foil and core substrate) of core substrate 1, operation board 1 that internally has circuit pattern and recognition mark was formed by applying vacuum, pressure and heat inside the vacuum chamber ( $180\text{ deg.C}$ ,  $25\text{ kg/m}^2$ , 120 minutes); furthermore, the operation board was soaked in etching bath of sulfuric acid/hyper oxidation type hydrogen type and a copper foil that is the external conductor layer was made thin uniformly and the operation board of about  $4\mu\text{m}$  was prepared.

[0029]

Operation Board 1 was set on the carbon dioxide laser that is equipped with X-ray camera as recognition device 20, position of recognition mark 4 with the permeating X-rays was read and a hole was opened with a laser on the copper foil which is the external conductor layer of the position corresponding to the recognition mark.

(Said hole becomes standard of the process from now.) And on basis of data that was read, via hole 24 was formed same as in the first embodiment.

[0030]

A photo mask pattern film that has been created by considering the expansion value of the operation board based on the position data of recognition mark 4 that was read, was created.

In addition, the data that was read will reflect as the correction value in the process later.

Almost in the same manner as in the first embodiment a drill hole was formed on the desired corrected position, where through hole is formed using drill, via hole 16 and through hole 17 were formed by implementing copper plating same as in the first embodiment and printed circuit board was manufactured by forming the circuit pattern by etching with subtractive method based on the hole as a standard, same as in the first embodiment.

Regarding mass production, for large number of operation boards, recognition mark was read with the X-ray cameras and rank classification of the operation board was performed by memorizing and estimating distribution tendency of correction value of position misalignment and expansion value etc and by using the corresponding position and the photo mask pattern film etc. forming of the circuit pattern etc was carried out.

[0031]

Since the printed circuit board that has been manufactured this way, corrects the position and matches the recognition mark, the circuit pattern of the internal conductor layer, via hole forming position, and circuit pattern position of the external conductor layer do not have misalignment and has high quality and reliability and high yield.

Pertaining to the embodiment, position misalignment between the external and internal layer

of via hole is under 15 $\mu$ m and there was no point where via hole and internal conductor layer has misaligned positions.

[0032]

[Effects of the Invention]

Printed circuit board according to the manufacturing method of printed circuit board pertaining to this invention based on the recognition mark formed on the internal conductor layer recognizes the position of the circuit pattern and degree of misalignment due to expansion of the board, forms via hole on the external conductor layer by correcting the position or the misalignment of position occurring in the processes on the internal and external patterns due to formation of the circuit pattern is extremely less, has high accuracy, high quality and reliability and high yield.

[0033]

[Brief Explanation of the Drawing(s)]

[Figure 1]

It is a sectional view of printed circuit board with embodiment of manufacturing method of printed circuit board that relates to this invention.

It is a sectional view of cross-section in K-KK of operation board of Figure 3.

[Figure 2]

It is a sectional view that shows step of printed circuit board with embodiment of the manufacturing method of printed circuit board that relates to this invention.

[Figure 3]

It is a figure that with embodiment of manufacturing method of printed circuit board that relates to this invention formed dividing groove in job board of printed circuit board.

[Figure 4]

It is a sectional view which shows single step according to the conventional method.

{0034}

[Explanation of Symbols in Drawings]

1

Operation board

11

Internal insulating layer

12

Internal conductor layer

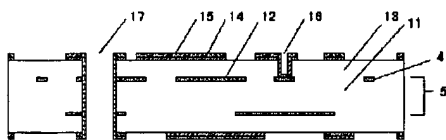
13

External insulating layer

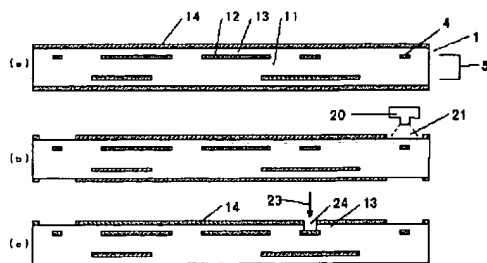
14  
 External conductor layer  
 15  
 Plated layer  
 16  
 Via hole  
 17  
 Through-hole  
 2  
 Unit board  
 20  
 Recognition device  
 21  
 Recognition window  
 22  
 Mask window  
 23  
 Laser radiation  
 24  
 Via hole  
 3  
 Dividing groove  
 4  
 Recognition mark  
 5  
 Core substrate

## Drawings

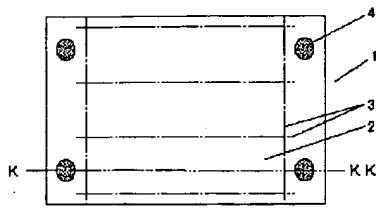
[Figure 1]



[Figure 2]



[Figure 3]



[Figure 4]

